

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-324725

(43)Date of publication of application : 22.11.2001

(51)Int.CI.

G02F 1/1368
G09F 9/30
H01L 21/3065
H01L 29/786
H01L 21/336

(21)Application number : 2000-144586

(22)Date of filing : 12.05.2000

(71)Applicant : HITACHI LTD

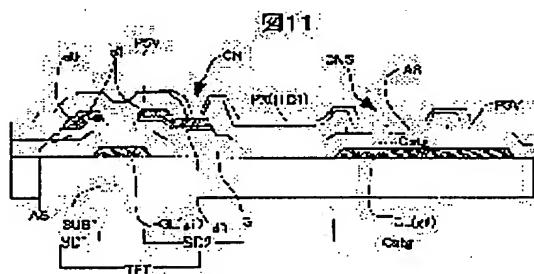
(72)Inventor : ONO KIKUO
NAKAYOSHI YOSHIAKI
OKE RYUTARO
KANEKO TOSHITERU

(54) LIQUID CRYSTAL DISPLAY DEVICE AND METHOD OF MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a TFT liquid crystal display device in which productivity and a yield are improved and which has a high opening ratio and is bright.

SOLUTION: A TFT substrate is formed in four photoresist stages in total by working an inverse stagger type and channel etching type TFT semiconductor film and metal film of a drain wiring into two photoresist bodies having thickness different from each other in one photoresist stage. And an upper electrode of a retention capacitance is composed a transparent conductive film extended from the surface of a protective insulating film, a lower electrode is composed of a gate wiring and a dielectric is composed of a gate insulating film or the gate insulating film and an i-type semiconductor, respectively. As a result, manufacturing stages are reduced by 20%.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-324725

(P2001-324725A)

(43) 公開日 平成13年11月22日 (2001.11.22)

(51) Int.Cl.⁷
G 0 2 F 1/1368
G 0 9 F 9/30 3 3 8
H 0 1 L 21/3065
29/786
21/336

識別記号

F I
G 0 9 F 9/30 3 3 8 2 H 0 9 2
G 0 2 F 1/136 5 0 0 5 C 0 9 4
H 0 1 L 21/302 M 5 F 0 0 4
29/78 6 1 2 D 5 F 1 1 0
6 1 6 L

マークコード(参考)

審査請求 未請求 請求項の数21 OL (全20頁) 最終頁に続く

(21) 出願番号 特願2000-144586(P2000-144586)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(22) 出願日 平成12年5月12日 (2000.5.12)

(72) 発明者 小野 記久雄

千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

(72) 発明者 仲吉 良彰

千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

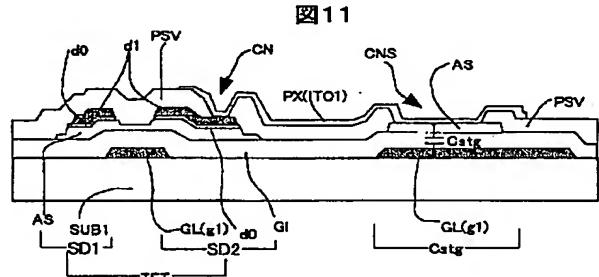
(54) 【発明の名称】 液晶表示装置およびその製造方法

(57) 【要約】

【課題】 生産性や歩留まりを向上させ、さらに開口率が
高く明るいTFT液晶表示装置を提供する。

【解決手段】 逆スタガ構造でチャネルエッチ型のTFT
の半導体膜、ドレイン配線の金属膜を1回のホト工程で
厚さの異なる2つのホトレジストに加工することによ
り、TFT基板を総計4回のホト工程で形成、保持容量
の上部電極を保護絶縁膜上から延在した透明導電膜、下
部電極をゲート配線、誘電体をゲート絶縁膜、あるいは
ゲート絶縁膜とi型半導体で構成する。

【効果】 工程を20%削減して、さらに明るい表示装置
が得られる。



1

【特許請求の範囲】

【請求項1】夫々の主面が互いに対向するように配置された第1並びに第2の絶縁性基板、該第1の絶縁性基板と該第2の絶縁性基板との間に挟まれた液晶層、該第1の絶縁基板上に形成され且つ走査信号を伝達するゲート配線並びに映像信号を伝達するドレイン配線、該ゲート配線上にゲート絶縁膜を介して形成された半導体チャネル層、該半導体チャネル層上に形成され且つ半導体コンタクト層を介して該ドレイン配線の1部を構成するドレイン電極、該半導体チャネル層上にて該ドレイン電極と相対するソース電極、及び該ドレイン配線並びに該ソース電極又は該ドレイン電極を蓋う保護膜を有する薄膜トランジスタ部と、前記薄膜トランジスタの前記ソース電極に接続された画素電極とを有する画素部を備えたアクティブマトリクス型液晶表示装置において、前記ドレイン配線、前記ソース電極、前記ドレイン電極が、前記第1の絶縁基板上の前記ゲート絶縁膜上に形成され、前記ドレイン配線、前記ソース電極、前記ドレイン電極の金属膜の平面パターンより前記半導体コンタクト層パターンが幅広であり、前記半導体コンタクト層パターンより前記半導体チャネル層が幅広いパターンを有することを特徴とする液晶表示装置。

【請求項2】第1の絶縁性基板、これに対向して設けられた第2の絶縁基板、該第1の絶縁性基板と該第2の絶縁基板との間に挟まれた液晶層、該第1の絶縁基板上に形成された走査信号を伝達するゲート配線、映像信号を伝達するドレイン配線、該ゲート配線上にゲート絶縁膜を介して形成された半導体チャネル層、該半導体チャネル層上に形成され且つ半導体コンタクト層を介して該ドレイン配線の1部を構成するドレイン電極、該半導体チャネル層上にて該ドレイン電極と相対するソース電極、及び該ドレイン配線並びに該ソース電極又は該ドレイン電極を蓋う保護膜を有する薄膜トランジスタ部と、前記薄膜トランジスタの前記ソース電極に接続された画素電極と、前記画素電極に接続された上部電極並びに前記ゲート配線又はこれを構成する材料からなる下部電極を有する保持容量部とを備えたアクティブマトリクス型液晶表示装置において、前記保持容量の前記下部電極と前記上部電極に挟まれた誘電体膜が、前記ゲート絶縁膜と、前記半導体チャネル層の積層膜と構造をなすとともに、前記画素電極が、前記保護膜に開口されたコンタクトホールを介して、前記半導体チャネル膜と接触していることを特徴とする液晶表示装置。

【請求項3】前記保持容量の前記下部電極と前記上部電極に挟まれた誘電体膜が、前記ゲート絶縁膜であり、前記画素電極が、前記保護膜に開口されたコンタクトホールを介して、前記ゲート絶縁膜と接触していることを特徴とする請求項2に記載の液晶表示装置。

【請求項4】前記コンタクトホール周辺の前記ゲート絶縁膜上に、前記半導体チャネル層が形成されたことを特

徴とする請求項3に記載の液晶表示装置。

【請求項5】前記薄膜トランジスタの前記保護膜が無機膜と有機系材料の膜の積層膜であることを特徴とする請求項2乃至4のいずれかに記載の液晶表示装置。

【請求項6】第1の絶縁基板とこれに対向して設けられた第2の絶縁基板との間に液晶層が挟まれ、前記第1の絶縁基板上には前記第1の絶縁基板上に形成された走査信号を伝達するゲート配線と、映像信号を伝達するドレイン配線と、前記ゲート配線上にゲート絶縁膜を介して

10 形成された半導体チャネル層と、前記半導体チャネル層上に半導体コンタクト層を介してドレイン配線の1部を構成するドレイン電極と、前記半導体チャネル層に対してドレイン電極と相対するソース電極と、前記ドレイン配線及びソース電極あるいはドレイン電極を蓋う保護膜とを有する薄膜トランジスタ部と、前記薄膜トランジスタの前記ソース電極に接続された画素電極と、前記画素電極に対向して設けられたコモン電極とが、配置されて画素が構成され、前記画素電極と前記コモン電極との間に電圧を印加することにより発生する前記液晶層にほぼ平行な電界により表示が制御される液晶表示装置において、前記画素電極が前記第1の絶縁基板上の、前記ゲート絶縁膜上で、前記半導体チャネル層と前記半導体コンタクト層及び前記ドレイン配線、前記ソース電極の金属層の3層構造であることを特徴とする液晶表示装置。

【請求項7】前記画素電極の金属膜の平面パターンより前記半導体コンタクト層パターンが幅広であり、前記半導体コンタクト層パターンより前記半導体チャネル層が幅広いパターンを有することを特徴とする請求項6に記載の液晶表示装置。

30 【請求項8】前記ゲート配線と同一工程、材料で形成したコモン電極配線と、前記コモン電極上と、前記ゲート絶縁膜、前記保護膜の積層膜に開口されたコンタクトホールを介して接続された透明導電層を上部電極とし、下部電極を前記画素電極の金属層とし、誘電体膜を前記保護膜とする保持容量構造を備えたことを特徴とする請求項6に記載の液晶表示装置。

【請求項9】前記半導体チャネル層はノンドープのアモルファスシリコン、前記半導体コンタクト層はリン、アンチモン、ボロンをドープしたアモルファスシリコンからなる請求項1乃至8のいずれかに記載の液晶表示装置。

【請求項10】前記ドレイン配線、前記ソース電極、前記ドレイン電極の金属膜はモリブデン、クロム、タンゲステン、タンタル、チタン、アルミニウムの1つ単層膜、あるいは複数の合金膜、あるいは積層膜からなる請求項1乃至8のいずれかに記載の液晶表示装置。

【請求項11】前記画素電極は、透明導電膜からなることを特徴とする請求項1乃至8のいずれかに記載の液晶表示装置。

50 【請求項12】薄膜トランジスタ及びゲート端子を有す

る液晶表示装置の製造方法において、絶縁基板上に、第1の金属膜を成膜した後、第1のホトレジストパターンを形成して、これをマスクとしてゲート配線、ゲート端子を形成する第1の段階と、前記第1の段階を経た前記絶縁基板上に、絶縁膜、アモルファスシリコン膜、ドーピングされたアモルファスシリコン膜、さらに第2の金属膜を成膜した後、第2のホトレジストパターンを形成して、これをマスクとして前記第2の金属膜、前記ドーピングされたアモルファスシリコン膜、前記アモルファスシリコン膜をエッチングし、前記第2のホトレジストパターンの厚さの薄いパターン領域を酸素プラズマで除去し、前記酸素プラズマ処理後に残されたホトレジストパターンをマスクとして、前記第2の金属膜をエッチングし、その後前記ドーピングされたアモルファスシリコン膜をエッチングして、前記薄膜トランジスタのドレイン配線、ソース電極、ドレイン電極を形成する第2の段階と、前記第2の段階を経た前記絶縁基板上に、保護膜を形成した後、第3のホトレジストパターンを形成して、これをマスクとして前記保護膜及び前記絶縁膜をエッチングし、前記ソース電極の第2の金属膜、ゲート端子の第1の金属膜を露出させる第3段階と、前記第3の段階を経た前記絶縁基板上に、透明導電膜を形成した後、第4のホトレジストパターンを形成して、これをマスクとして前記透明導電膜をエッチングする第4の段階とを含むことを特徴とする液晶表示装置の製造方法。

【請求項13】前記第2の段階の前記第2のホトレジストパターンは露光、現像処理後に少なくとも厚さの異なる2つのレジストパターン領域に分類され、前記2つのレジストパターン領域は、不透過及び半透過の領域を持つホトマスクを用いて、パターン化することを特徴とする請求項12に記載の液晶表示装置の製造方法。

【請求項14】前記ホトマスクの半透過領域は、金属あるいは金属酸化物の薄膜を用いて、ホトレジストに対してハーフ露光をしていることを特徴とする請求項12に記載の液晶表示装置の製造方法。

【請求項15】前記ホトマスクの半透過領域は、開口部が前記不透過膜をメッシュ状にしたパターンを用いて、ホトレジストに対してハーフ露光をしていることを特徴とする請求項12に記載の液晶表示装置の製造方法。

【請求項16】前記第2の段階で、前記第2のホトレジストパターンを用いて第2の金属膜を2回エッチングする方式として、1回目は乾式エッチング、2回目は湿式エッチングであることを特徴とする請求項13に記載の液晶表示装置の製造方法。

【請求項17】薄膜トランジスタ及び保持容量を有する液晶表示装置の製造方法において、絶縁基板上に、第1の金属膜を成膜した後、第1のホトレジストパターンを形成して、これをマスクとしてゲート配線、あるいは保持容量配線、あるいはインプレーンスイッチング液晶モードのコモン電極配線を形成する第1の段階と、前記第

1の段階を経た前記絶縁基板上に、絶縁膜、アモルファスシリコン膜、ドーピングされたアモルファスシリコン膜、さらに第2の金属膜を成膜した後、第2のホトレジストパターンを形成して、これをマスクとして前記第2の金属膜、前記ドーピングされたアモルファスシリコン膜、前記アモルファスシリコン膜をエッチングし、前記第2のホトレジストパターンの厚さの薄いパターン領域を酸素プラズマで除去し、前記酸素プラズマ処理後に残されたホトレジストパターンをマスクとして、前記第2の金属膜をエッチングし、その後前記ドーピングされたアモルファスシリコン膜をエッチングして、前記ゲート配線、あるいは前記保持容量配線あるいは前記コモン電極配線上にアモルファスシリコン膜を形成する第2の段階と、前記第2の段階を経た前記絶縁基板上に、保護膜を形成した後、第3のホトレジストパターンを形成して、これをマスクとして前記保護膜をエッチングし、前記ゲート配線あるいは前記保持容量配線あるいは前記コモン電極配線上のアモルファスシリコン膜を露出させる第3段階と、前記第3の段階を経た前記絶縁基板上に、透明導電膜を形成した後、第4のホトレジストパターンを形成して、これをマスクとして前記透明導電膜をエッチングし、前記透明導電層と前記ゲート配線あるいは前記保持容量配線あるいは前記コモン電極配線上のアモルファスシリコン膜に接続させる、第4の段階とを含むことを特徴とする液晶表示装置の製造方法。

【請求項18】薄膜トランジスタ及び保持容量を有する液晶表示装置の製造方法において、絶縁基板上に、第1の金属膜を成膜した後、第1のホトレジストパターンを形成して、これをマスクとしてゲート配線、あるいは保持容量配線、あるいはインプレーンスイッチング液晶モードのコモン電極配線を形成する第1の段階と、前記第1の段階を経た前記絶縁基板上に、絶縁膜、アモルファスシリコン膜、ドーピングされたアモルファスシリコン膜、さらに第2の金属膜を成膜した後、第2のホトレジストパターンを形成して、これをマスクとして前記第2の金属膜、前記ドーピングされたアモルファスシリコン膜、前記アモルファスシリコン膜をエッチングし、前記第2のホトレジストパターンの厚さの薄いパターン領域を酸素プラズマで除去し、前記酸素プラズマ処理後に残されたホトレジストパターンをマスクとして、前記第2の金属膜をエッチングし、その後前記ドーピングされたアモルファスシリコン膜をエッチングして、前記ゲート配線、あるいは前記保持容量配線あるいは前記コモン電極配線上にアモルファスシリコン膜を形成する第2の段階と、前記第2の段階を経た前記絶縁基板上に、保護膜を形成した後、第3のホトレジストパターンを形成して、これをマスクとして前記保護膜をエッチングし、その後前記ゲート配線あるいは前記保持容量配線あるいは前記コモン電極配線上のアモルファスシリコン膜をエッティング除去し、前記絶縁膜を露出させる第3段階と、前

40

50

記第3の段階を経た前記絶縁基板上に、透明導電膜を形成した後、第4のホトレジストパターンを形成して、これをマスクとして前記透明導電膜をエッチングし、前記透明導電層と前記ゲート配線あるいは前記保持容量配線あるいは前記コモン電極配線上の絶縁膜に接続させる、第4の段階とを含むことを特徴とする液晶表示装置の製造方法。

【請求項19】前記第3段階の保護膜のエッチングを硫酸、あるいはは弗化アンモニウムを含む水溶液の湿式エッティングで行うことを特徴とする請求項17又は請求項18に記載の液晶表示装置の製造方法。

【請求項20】前記第3段階の保護膜を無機膜の第1保護膜と感光性有機系の第2の保護膜の積層膜として成膜し、前記第3段階のホトレジストを前記感光性有機の第2の保護膜で代用することを特徴とする請求項17又は請求項18に記載の液晶表示装置の製造方法。

【請求項21】前記第3段階の感光性有機系の第2の保護膜を露光、現像処理後120℃から300℃温度で加熱することを特徴とする請求項20に記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置の薄膜トランジスタ(Thin Film Transistor:以下、TFTと記す)基板及びその製造方法に関する。

【0002】

【従来の技術】従来の装置は、特開平6-202153号公報に記載のように、TFT基板を構成する積層されたゲート絶縁膜、保護膜を1回のホト工程を用いて、開口し、総計5回のパターニング(被加工物上にフォトマスクを形成し、フォトマスクを加工パターンに応じて部分的に除去するフォトリソグラフィ処理を含む工程:以下、ホト工程と記す)を経て、TFT基板を製造し、この製造方法を用いてTFTの保持容量が下部電極をゲート配線と同一工程、材料で形成した金属電極、上部電極がTFTの信号配線と同一工程、材料で形成した金属電極、誘電体としてゲート絶縁膜、ノンドープ(i型半導体)、不純物半導体(n⁺型半導体)を積層膜とする構成で、さらに前記保持容量の上部電極はTFTの保護膜に開口されたスルーホールを介して透明導電膜の画素電極と接続されている構造である。また、特開平10-232409号公報に記載のように、逆スタガ型でチャネルエッチ構造のTFT基板を5回のホト工程で形成する製造方法もある。また、この製造方法を用いて、インプレーンスイッチングモード(以下、IPS)液晶モード用TFT基板を4回のホト工程で製造する方式もある。

【0003】また、他の従来装置として、特開平9-90404号公報に記載のように、保持容量の下部電極をゲート配線と同一工程、材料で形成した金属電極、上部電極がTFTの信号配線の金属膜と同一工程で成膜した

透明電極、誘電体としてゲート絶縁膜とする構成で、さらに前記保持容量の上部電極は有機材料を用いたTFTの保護膜に開口されたスルーホールを介して画素電極と接続されている構造がある。

【0004】

【発明が解決しようとする課題】上述の特開平6-202153号公報、特開平10-232409号公報に開示された技術によれば、液晶表示装置のTFTガラス基板の加工において、少なくとも5回のパターニング(ホト工程)が必要であった。さらに、特開平10-232409号では、横電界すなわちIPS表示モードのTFTガラス基板は4回のホト工程で形成されているが、ゲートやドレイン配線の端子にインジュウム錫酸化物(以下ITO)のような透明導電膜の被覆がなく、湿度による端子の電気的腐食の問題があった。また、くし歯電極の画素(ソース)電極がゲート配線と近接して配置されており、寄生容量が大きくなる課題があった。

【0005】特開平6-202153号公報に記載された保持容量の誘電体はゲート絶縁膜上でi型半導体、n⁺型半導体の積層構造であるので、TFT液晶表示装置の駆動の充電時に保持容量の下部電極の電位が、保持容量の上部電極の電位より高くなり、上部電極よりi型半導体膜に電子が注入され、容量値がゲート絶縁膜の厚さで規定され、駆動の保持期間にi型半導体の電子が放出され容量値が前記i型半導体の厚さも含む容量値に低下変動し、液晶の残像が発生する問題がある。

【0006】特開平9-90404号公報に記載されたTFT液晶表示装置は保護膜として有機系材料で構成し、ドレイン配線を遮光電極として、その上部に低誘電率の有機系保護膜上で隣りあう画素電極を重ねることで開口率を向上させるが、加工のパターニングに少なくとも5回以上のホト工程が必要である。

【0007】本発明の目的は、TFT製造工程を簡略化することである。また、この簡略な製造方法を用いて、ドレイン配線の断線の少ない、高精度の配線構造を得て、表示コントラストを向上することである。さらに、この簡略な製造方法を用いて、保持容量の単位面積あたりの容量値を大きくし、開口率を大きくすることである。

【0008】本発明の他の目的は、簡略な製造方法を用いて、保持容量の駆動のオン、オフの容量差を低減し、残像をすくなくすることである。さらに、本発明の他の目的はIPS表示モードのゲート、画素(ソース)電極間の寄生容量を小さくすることである。

【0009】

【課題を解決するための手段】上記目的を達成するために、本発明の配線構造を新しくする。

【0010】その一つの例は、夫々の正面が互いに対向するように配置された第1並びに第2の絶縁性基板、これら一対の絶縁性基板の間に挟まれた液晶層、この第1

の絶縁基板上に形成され且つ走査信号を伝達するゲート配線、映像信号を伝達するドレイン配線、このゲート配線上にゲート絶縁膜を介して形成された半導体チャネル層、さらにこの半導体チャネル層上に形成され且つ半導体コンタクト層を介してドレイン配線の1部を構成するドレイン電極、この半導体チャネル層にてドレイン電極と相対するソース電極、及びこのドレイン配線並びにソース電極又はこのドレイン電極を蓋う保護膜を有する薄膜トランジスタ部と、この薄膜トランジスタの前記ソース電極に接続された画素電極とを有する画素部を備えたアクティブマトリクス型液晶表示装置において、前記ドレイン配線、前記ソース電極、前記ドレイン電極が、前記第1の絶縁基板上の前記ゲート絶縁膜上に形成され、前記ドレイン配線、前記ソース電極、前記ドレイン電極の金属膜の平面パターンより前記半導体コンタクト層のパターンが幅広であり半導体コンタクト層パターンより前記半導体チャネル層が幅広いパターンを有するという特徴として現れる。

【0011】その別の例は、第1の絶縁性基板、これに對向して設けられた第2の絶縁基板、第1の絶縁性基板と第2の絶縁基板との間に挟まれた液晶層、第1の絶縁基板上に形成された走査信号を伝達するゲート配線、映像信号を伝達するドレイン配線、ゲート配線上にゲート絶縁膜を介して形成された半導体チャネル層、半導体チャネル層上に形成され且つ半導体コンタクト層を介してドレイン配線の1部を構成するドレイン電極、該半導体チャネル層にて該ドレイン電極と相対するソース電極、及びドレイン配線並びにソース電極又はドレイン電極を蓋う保護膜を有する薄膜トランジスタ部と、この薄膜トランジスタの前記ソース電極に接続された画素電極と、前記画素電極に接続される上部電極並びに前記ゲート配線又はこれを構成する材料（金属材料）からなる下部電極を有する保持容量部とを備えたアクティブマトリクス型液晶表示装置において、前記保持容量の前記下部電極と前記上部電極に挟まれた誘電体膜が、前記ゲート絶縁膜と、前記半導体チャネル層の積層膜と構造をなすとともに、前記画素電極が、前記保護膜に開口されたコンタクトホールを介して、前記半導体チャネル膜と接触しているという特徴として現れる。

【0012】また、その別の例では、第1の絶縁基板とこれに對向して設けられた第2の絶縁基板とのこれらの間に挟まれた液晶層、前記第1の絶縁基板上に形成された走査信号を伝達するゲート配線、映像信号を伝達するドレイン配線、前記ゲート配線上にゲート絶縁膜を介して形成された半導体チャネル層、前記半導体チャネル層上に半導体コンタクト層を介してドレイン配線の1部を構成するドレイン電極、前記半導体チャネル層に対してドレイン電極と相対するソース電極、並びに前記ドレイン配線及びソース電極又はドレイン電極を蓋う保護膜とを有する薄膜トランジスタ部と、前記薄膜トランジスタ

の前記ソース電極に接続された画素電極とこれに對向して設けられたコモン電極とが配置された画素とを備え、前記画素電極と前記コモン電極との間に電圧を印加することにより発生する前記液晶層にほぼ平行な電界により表示が制御される液晶表示装置において、前記画素電極が前記第1の絶縁基板上の、前記ゲート絶縁膜上で、前記半導体チャネル層と前記半導体コンタクト層及び前記ドレイン配線、前記ソース電極の金属層の3層構造であることを特徴とする。

10 【0013】ドレイン配線、ソース電極、ドレイン電極を構成する金属膜とその下部のn⁺型半導体、さらにその下部のi型半導体の3つの膜をドレイン配線のパターンとして一体化し、その配線幅を、金属膜よりn⁺型半導体を幅広、n⁺半導体よりi型半導体を幅広の構造として、その段差をゲート絶縁膜上で階段状にする。

【0014】金属膜の引っ張り応力を、半導体膜の圧縮応力で相殺し、ゲート配線との段差部でのドレイン配線断線を低減できる。さらに、配線自身の段差を階段状にすることでその段差を分散緩和し、その上部の保護膜のカバージをも緩和、液晶工程のラビングの影を緩和し、コントラストを向上させる。

20 【0015】また、保持容量構造を新しくする。保持容量の下部電極をゲート配線と同一工程、材料で形成した金属電極、上部電極を保護膜上部に存在し保護膜の開口部をもおおう透明導電膜、誘電体として、ゲート絶縁膜とi型半導体膜の積層、あるいはゲート絶縁膜のみとする。前記i型半導体あるいはゲート絶縁膜は直接透明導電膜と接続されている。

【0016】また、他の保持容量構造も可能となる。保持容量の上部電極をゲート配線と同一工程、材料で形成した金属電極に保護膜の開口部を通じて接続された保護膜上の透明導電膜、下部電極をドレイン配線と同一工程、材料で形成した金属電極、誘電体を保護絶縁膜とする。

【0017】IPSの画素電極の構造を新しくする。画素電極をゲート絶縁膜上でn⁺型半導体、i型半導体、金属膜の3層構造として、その段差を階段状にして、下部を幅広にする。これにより、ゲート配線、ソース電極間の寄生容量を低減させる。

40 【0018】保持容量の単位面積あたりの容量値を増加させ、ゲート配線、保持容量配線あるいはIPS液晶表示装置のコモン電極配線幅を狭くでき、開口率を向上する。

【0019】上記目的を達成するために、製造方法を新しくする。TFT基板を4回のホト工程で形成する、第1はゲート配線金属のパターニング、第2はドレイン配線の金属膜および半導体膜のパターニング、第3はドレイン配線上部の保護膜の開口パターニング、第4は保護膜上の画素電極あるいは、機能を有する透明導電膜のパターニングである。

9

【0020】上記製造方法において、半導体膜はアモルファスシリコン（以下、a-Si）を使うことができる。この製造方法において、TFTのドレイン配線、ソース、ドレイン電極の金属膜、n⁺型a-Si、i型a-Siのパターンニングのホトレジストの露光、現像を1回で行う。ここで、ホトレジストは1回の露光、現像後、ドレイン金属上で、ホトレジストのない領域、厚いホトレジストのある領域、薄いレジストのある領域に分けられる。

【0021】かかる2段階厚さのホトレジストを1回の露光、現像で実現するホトマスクは、透過率の異なる金属膜領域を2つ持つ構成か、あるいは一方は不透明な金属膜領域、他方は幅が不透明な金属膜領域に1～4μmのスリット、穴を開口した集合体領域となる構成となる。

【0022】かかる2つの厚さを持つホトレジスト領域に加えてホトレジストのない領域を有する金属膜、その下部にn⁺型a-Si、その下部のi型a-Si、その下部のSiN膜を有する基板は以下の手順で加工され、ドレイン配線、ソース、ドレイン電極、TFTのチャネル領域（i型a-Si）に分離される。ホトレジストのない領域の金属をエッチング除去、n⁺型a-Si、i型a-SiをゲートSiN上で選択的に除去、薄いレジスト領域は残し、薄いレジストを酸素アッシングで除去、再度金属膜をエッチング除去、金属膜がないn⁺型a-Siを除去する。

【0023】3つの透過率の異なる領域を持つホトマスクを用いて、1回のホト工程の露光、現像でドレイン配線、ソース電極、ドレイン電極、a-Si膜を加工できるので工程を簡略化できる。TFT基板のホト回数を4回まで簡略化できる。

【0024】ここで、ドレイン配線、ソース電極、ドレイン電極の金属膜は2回の工程に分けてエッチング除去されるが、1回目を乾式（以下ドライ）エッチング、2回目を湿式（ウェット）エッチングで行うことで、ドレイン配線の加工精度を向上させる。

【0025】ここで、ドレイン配線の金属膜として、Moを含む金属、Ta、Ti、Wを含む金属の単膜、積層膜が好ましい。

【0026】本発明の他の目的を実現する、保持容量の製造方法を新しくする。保持容量の誘電体として構成されたi型a-Si、その上部のSiNで構成された保護膜を弗酸および弗化アンモニウムを含む水溶液（以下、弗酸緩衝液）でエッチング除去し、引き続きドライエッチングで前記i型a-Siをゲート絶縁膜SiN上で選択的にエッチング除去し、その後、インジュウム錫酸化物（以下、ITO）のような透明導電膜を前記保護膜の開口部に蓋をするように成膜する。

【0027】また、他の製造方法として、前記保護膜をSiNと有機系材料の2膜膜として用いる場合、保持誘

10

電体部のi型a-Si上部のSiNの保護膜、有機系材料の保護膜の加工に関し、有機系材料として感光性材料を用いて、下部膜に対して開口部を有するパターン形成を露光、現像で形成し、この有機材料自身をマスクパターンとして、弗酸緩衝液で保護膜SiNをエッチング除去し、150～200℃の温度処理で、有機系材料を開口部内側まで延びる熱処理を行い、その後、ITOのような透明導電膜を前記保護膜の開口部に蓋をするように成膜する。

【0028】また、上記製造方法で、有機材料の熱処理の後にあるいは前にi型a-Siをエッチング除去しても良い。

【0029】保持容量の製造方法を用いると、保持容量の誘電体をゲート絶縁膜、ゲート絶縁膜とi型a-Si膜の積層構造ができるので、単位面積あたりの容量値を増加し、開口率が増加する。また、i型a-SiがITOと直接接続していても、そのコンタクト抵抗は高いので電子が注入されず、残像が発生しない。

20 【0030】

【発明の実施の形態】以下、本発明の実施の形態を図により説明する。なお、以下の実施例で、半導体膜はアモルファスシリコン（a-Si）、透明導電膜はITOを代表させたが、これは多結晶シリコンや他の透明導電膜であるインジュウム亜鉛酸化物（IZO）を用いても良い。また、TFTの配線を呼称は、走査配線をゲート配線、映像信号配線をドレイン配線とする。また、TFTのソース、ドレイン電極は液晶表示装置の画素のTFTでは交流駆動であるため、電気的に切り替わるので分類しにくいが、ドレイン配線側に接続されたTFT部分の電極をドレイン電極、TFTのチャネル長領域を挟んで画素電極側をソース電極と呼ぶ。保持容量も蓄積容量、付加容量と別な呼び方もあるが、本発明では保持容量と統一する。

【0031】《実施例1》図1は、本発明の実施例1に係わる方式のTFT基板を示す平面図である。図2はTFTから画素電極PXさらに保持容量Cstg部分へ至る部分を示す図1の2-2線断面図、図3はドレイン配線部分を示す図1の3-3切断線断面図、図4はゲート配線端子部を示す図1の4-4切断線断面図、図5はドレイン配線端子部を示す図1の5-5切断線断面図、図6～図9は、本実施例1に係わるTFT基板の製造方法を基本的にパターンニングであるホト工程単位（ホトレジスト塗布からレジスト剥離）で工程順に示す断面図である。

【0032】液晶表示装置のTFT部において、図2の断面に示すように、ガラスのような透明絶縁基板SUB1上に、例えばMo（モリブデン）、Cr（クロム）、あるいはAl（アルミニウム）上にMoを積層した金属膜g1からなるゲート配線GLが形成されている。また、このゲート配線GL上にはSiN膜またはSiO₂

膜とSiN膜の積層膜からなるゲート絶縁膜GIを介して、i型a-Siを用いたa-Siチャネル膜ASが形成されている。さらに、このa-Siチャネル膜ASはその両側にはn+型a-Si膜を用いたa-Siコンタクト膜d0を介してMoあるいはCr、あるいはMo、Al、Moを積層した金属膜d1からなるドレイン電極SD1、ソース電極SD2が相対して形成されている。この、ドレイン電極SD1はドレイン配線DLの一部を構成している。ソース、ドレイン電極間のa-Siコンタクト膜d0及びa-Siチャネル膜ASはTFT動作のオフ抵抗を大きくするため上部よりエッチング除去され、この領域でのa-Siチャネル膜ASの厚さはソース、ドレイン電極SD1、SD2下部のa-Siコンタクト膜を除いたa-Siチャネル膜ASより薄く設定される。さらに、TFTを被覆しているSiN膜からなる保護膜PSVに開口されたコンタクトホールCNを介して、ソース電極SD2に接続されたITOの透明導電膜ITO1が画素電極PXを構成する。

【0033】上記TFT部の構成において、製造歩留まり上の1つの課題は画素電極PXの材料であるITO1、例えばITO、が下部段差へのつきまわりが悪く、そのためITO1のエッチング加工時に断線しやすい状況にある。特に、図2の断面構造においてはコンタクトホールCN付近のソース電極SD2はa-Si膜であるAS、d0及び金属電極d1が積層されるので段差が大きい。本実施例1ではソース電極SD1の金属材料d1より、a-Siコンタクト膜d0がはみ出し、さらにその下部でa-Siチャネル膜ASがはみ出し、その段差は、金属膜d1、a-Siコンタクト膜d0を含む半導体膜、さらにエッチング除去されて薄くなったa-Siチャネル膜ASの階段状構造になっており、その上部に被覆された保護膜PSVの形状がなだらかになっており、透明導電膜ITO1が断線することはない。

【0034】保持容量Cstg部は、図1及び図2に示すように、透明導電膜ITO1の画素電極PXが隣接のゲート配線GL上へ延び重なっている。したがって、保持容量Cstgは上部電極は画素電極PXを構成するITO1、下部電極はゲート配線GLを構成する電極g1で誘電体膜として、ゲート絶縁膜GIと保護膜PSVの積層構造である。

【0035】図1及び図3に示すように、信号配線DLは主として映像信号電圧を伝送する機能を有し、Mo-Crの合金又はMo、Al、Moをこの順に積層してなる金属膜d1及びa-Si膜であるd0、ASで構成されている。その断面構造はソース電極SD2同様に階段状であり、金属膜d1よりa-Siチャネル膜ASがはみ出している。信号配線DLの下部両側にはゲート配線GLと同一工程、材料である金属膜g1で構成した遮光電極SKDが配置されている。この遮光電極SKDは画素電極PXから信号配線DLの間の隙間をふさぐ効果が

あり、配向膜ORIで挟まれた液晶LCに対してTFT基板SUB1に対向する基板であるカラー・フィルタ基板SUB2に形成された金属や透過率の低い樹脂で形成されたブラックマトリクスBMの幅を狭くすることができ、開口率を大きくでき、明るい液晶表示装置実現できる。同図のFILはカラー・フィルタ、CXはITOのような透明導電膜で構成されたITO2電極を用いた対向(コモン)電極である。また、TFT基板の両側外部には偏光フィルムPOLが装着されている。

10 【0036】信号配線DLの構造物が単純に金属膜d1だけでなく、階段状の段差となり、金属膜からはみ出したa-Siコンタクト膜d0、a-Siチャネル膜ASで構成されているのは以下の効果がある。金属膜d1としてはCrも使用可能であるが、比抵抗の低い材料としては、AlやMoが好ましい。しかし、Alは、図3の断面構造上の上部にある画素電極PXのITO1膜のエッチング時に、その薬品であるHBrやHI水溶液により、保護膜PSVのピンホールを通じて容易に溶解し、断線する。そのため、Crで比抵抗が不足する場合、前記薬品に強いMo単膜やAlをMoで上下にサンドイッチした配線金属構成になる。一方、Moは絶縁膜との接着性が悪い。Moはa-Si膜とはシリサイドを形成して密着性が高いので、金属膜d1の下部には半導体であるa-Si膜コンタクト膜d0が形成される。一方、半導体膜であるd0、ASが金属膜d1と異なる装置で成膜され、これがいわゆるホト工程を用いて加工した際に、半導体膜d0、ASと金属膜d1が別々のホト工程を用いた場合、ホト間の合わせずれにより、信号配線DLの構造物の幅が広くなり、結果的に開口率が下がり、暗い液晶表示装置になる。さらに図3において配向膜ORI上部をラビングする際に段差のゆるやかな構造が要求される。結果的に構造物としては、金属膜d1、a-Siコンタクト膜d0、a-Siチャネル膜ASの段差が階段状構造になること、製造方法的には詳細は後述するが、a-Siチャネル膜AS、a-Siコンタクト膜d0、ソース、ドレイン金属膜d1が連続的に成膜され、上部より1回のホトレジスト工程で加工するが良く、本実施例ではこれを用いている。

20 【0037】製造歩留まり上の他の課題は、図1に示す複数のゲート配線GLと直交するドレイン配線DLの断線である。図2の断面図を用いて示す。ドレイン配線DL(ドレイン電極SD1)の金属膜はCr、Moのような材料を用いる。これらの材料には成膜条件により引っ張り応力が生じる。これは、ドレイン配線DLがその長手方向(ゲート配線GLの延伸方向に直交する方向、図1参照)に引っ張られるので、下部ゲート段差で断線する。一方、i型a-Si膜ASは圧縮応力を持つので、このドレイン配線DLの金属膜d1の下部に必ずa-Si膜ASが形成されれば、応力が緩和される。さらに、金属膜d1の応力がa-Si膜AS応力と同じオーダで

30 30

40

50

40

50

13

るので、その幅は金属膜d1と同一かやや大きい方が良い。

【0038】ゲート配線GLの端子部GTMは、図1及び図4に示すように、ゲート端子下部電極がTFT基板SUB1上に形成されたゲート配線GLと共に通の膜をなす金属膜g1、その上部にゲート絶縁膜GI及び保護膜PSV、この積層膜に開口されたスルーホールを介して画素電極PXと同一材料の透明導電膜ITO1からなる端子上部電極が積層された構造である。

【0039】ドレン配線DLの端子部DTMは、図1及び図5に示すように、ドレン配線DLと同様な階段状のドレン金属膜d1、a-Siコンタクト膜d0、a-Siチャネル膜、その上部にTFTの保護膜PSV、保護膜PSVに開口されたスルーホールを介してその上部に形成された画素電極PXと同一材料で構成された透明導電膜ITO1被覆された構造となる。ここで、半導体膜であるd0、ASは例えばMoを使用するドレン金属膜d1とゲート絶縁膜GIとの密着性を向上させる働きをする。ゲート端子GTM及びドレン端子DTMは表示領域側にはそれぞれゲート配線GL、ドレン配線DLに至り表示に必要な電圧を伝播され、外部に対しては制御回路に接続される。

【0040】図2に示す逆スタガ型TFT表示装置のTFT基板に係る製造方法を図6から図9の工程断面図を用いて説明する。各々の図はおおよそ1回のホト工程に対応し、基本的にはホトパターン加工となる薄膜の成膜から、ホトレジスト塗布、露光、現像、及び薄膜のパターン加工までを1回のホト工程として説明する、ホトレジスト自身の剥離工程は図面上は省略してある。各ホト工程での詳細な手順は各図の、(a)、(b)、(c)…の断面図で表わしてある。

【0041】まず、第1ホト工程を図6に示す。ガラス基板など透明絶縁基板SUB1上に、スパッタ法を用いて、厚さ200nmの、例えば、Cr、Moの単膜あるいは下部よりAl、Moの積層膜、あるいはMoWなどの合金の金属膜g1を成膜する。そして、この金属膜上に所定のレジストパターンPRES1を形成した後、それをマスクとして金属膜g1をエッチングする。このパターン化された金属膜g1は、図1の画素領域におけるゲート配線GL、遮光電極SKD、ゲート端子部GTMの下部電極を構成する。

【0042】次に、第2ホト工程を図7に示す。全面にプラズマCVD法を用いて、SiN膜またはSiN膜とSiO₂膜の2層膜からなる厚さ350nmの絶縁膜、厚さ250nmのノンドープのi型a-Si膜、厚さ50nmのn⁺型a-Si膜を成膜する。上記のSiN、i型のa-Si、n⁺型のa-Si膜は、それぞれ、TFT構成上、ゲート絶縁膜GI、a-Siチャネル膜AS、a-Siコンタクト膜d0と呼ぶ。但し、上記ゲート絶縁膜GIはCVD法で形成するが、CVD法の前に

14

スパッタ法を用いて例えばTa₂O₅(酸化タンタル)のような金属酸化物を成膜し、ゲート絶縁膜を多層構造としても良い。引き続き、スパッタ法を用いて、厚さ200nmの例えMo、Crの単膜あるいはMo、Al、Moの積層膜、あるいはMoWのような合金膜d1を成膜する。上記CVD法の成膜、スパッタ法の成膜は真空をやぶらざ連続的に行っても良い。この場合、a-Siコンタクト膜d0とソース、ドレン電極を構成するMo金属膜d1の接続抵抗が低減され、TFTの能力が向上し、同一平面サイズのTFTを用いても、より大型、高精細の液晶表示装置が駆動できるとともに、1画素の平面領域に占める不透過TFT領域が低減できるので、開口率が向上し、より明るい表示装置が提供できる。

【0043】次いで、この金属膜d1上に所定のレジストパターンを形成する。図7(a)のレジストパターンPRES1、PRES2は1回の露光、現像で厚さの異なるレジストパターン領域を形成する。この厚さの異なるレジストパターンを1回の露光、現像で形成することが、TFT基板の製造工程を削減し、歩留まりの向上を実現する。レジストパターンを異ならせる方法を同図

(a) ホトマスク基板MASUBで説明する。ホト工程でのホトマスクはレジストが全面に塗布されたTFT基板SUB1上に、一定の隙間を置いて配置される。ホトマスクには、Crを所定の厚さにした不透明領域MAK1、一定の光り透過が可能なMoSiを薄く成膜した領域MAK2、その他の透明領域を有する構造とする。レジストとしてポジレジストを用いた場合、露光、現像後のレジスト厚さは、不透明のMAK1領域では成膜後の膜厚に略近い厚さ、半透過のMAK2領域では成膜中の膜厚より10から90%低減された厚さ、その他の透明領域では、レジストは洗浄され残らない。従って、ホトマスク基板MASUBのパターンを不透明、半透過、透明の3領域にすることで、TFT基板SUB1上のレジストパターンを厚さの異なるPRES1、PRES2を1回の露光、現像工程で実現できる。PRES1の領域は次工程以降で、TFTの信号配線DL、ソース、ドレン電極SD1、SD2、PRES2領域はTFTのチャネル長L領域を形成する。

【0044】TFT基板SUB1上に1回の露光、現像で厚さの異なるレジストパターンを形成するホトマスク製造方法は、上記の半透過の金属MAK2を形成する以外に、特開平9-186233号公報に示されているように、MAK2領域を厚さはMAK1領域と同じ金属膜をメッシュ状にして、レジストへの露光量を低減させるハーフトーンマスクを用いることができるが、この方式は本方式に比べて露光量低減の調整裕度は低い。

【0045】次いで、本工程の断面図(図7(b))で、この金属膜d1上の所定のレジストパターンをマスクとして、金属膜d1、a-Siコンタクト膜d0、お

15

よび $a-Si$ チャネル膜 A S をエッティングする。エッティングは真空装置内のドライエッティングで行い、金属膜 d 1 が Mo の場合、S F 6 、あるいは C F 4 ガスに O₂ を添加したガス、あるいはこれらのガスに C l₂ を添加したガスで行い、半導体膜 d 0 、A S は少なくとも S F 6 あるいは C F 4 を含むガスに H C 1 あるいは C l₂ を添加し、ゲート絶縁膜 G I の材料である S i N とのエッティング選択比を高めてある。上記のように、ソース、ドレイン金属膜 d 1 及び半導体膜 d 0 、A S をドライエッティングすることで、これを加工してできる信号配線 D L のパターン精度は極めて高くなる。

【0046】次いで、図 7 (c) に示すように、O₂ ガスを用いたドライアッティングを用いて、TFT のチャネル長 L 領域にある薄いレジストパターンを除去する、この際に厚いレジストパターン P R E S 1 の厚さも減少するが、ホトレジストパターンとしては残るようにアッティング条件を調整する。

【0047】次いで、ソース、ドレイン電極 S D 1 、S D 2 に対応して分離されたレジストパターン P R E S 1 をマスクとして、金属膜 d 1 、i 型の $a-Si$ チャネル膜 A S を一定膜厚残してハーフエッティングする。上記工程で、金属膜 d 0 はウエットエッティングで除去し、 $a-Si$ コンタクト膜 d 0 は S F 6 あるいは C F 4 に C l₂ や H C 1 を添加したガスを用いたドライエッティングで行う。C l₂ や H C 1 流量を調整することで S i N とのエッティング選択比を上げる。

【0048】上記のように、半透過マスクを用いることにより、従来、 $a-Si$ 膜加工、ソース、ドレイン金属加工を別々の 2 回のホト工程で行っていた工程に比べ、これを 1 回の工程にでき、製造工程の短縮とこれによる歩留まり向上が実現できる。また、 $a-Si$ 膜とソース、ドレイン金属膜のホト合わせがないので、精度が向上し、開口率が向上する。

【0049】一方、従来の方式に比べ、ソース、ドレイン電極 S D 1 、S D 2 、ドレイン配線 D L の金属膜は 2 回のエッティングになり、金属膜 d 1 に対してウエットエッティングした場合、サイドエッティングの後退量が大きく、パターン精度が悪くなってしまう。一方、ドライエッティング加工はパターン精度が良いが、前記図 7 (d) の 2 回目のエッティング (チャネル長 L 部分) が、配線金属が Mo を含む場合、下部の $a-Si$ チャネル膜 A S と同種のエッティングガスを用い、さらに $a-Si$ チャネル膜 A S を膜の半分を残す加工をすることで、これを一括エッチする場合マージンがとることができず、チャネル長 L 領域をゲート絶縁膜 G I 面まで除去してしまう。本実施例の場合、金属膜 d 1 が Mo に対して、リン酸、硝酸、酢酸、水の混合液を用いて、チャネル長部分を $a-Si$ 膜 d 0 上で選択的にウエットエッティングして、その後 $a-Si$ 膜 d 0 をドライエッティングすることで制御良く $a-Si$ チャネル膜 A S を残すことができた。結果的

16

にソース、ドレイン金属 d 1 を同一ホト工程内で、1 回目をドライエッティング、2 回目をウエットエッティングすることが、パターン精度良く加工する方式であることが判明した。

【0050】次いで、TFT 基板の第 3 ホト工程以降を図 8 、図 9 で示す。前記工程を経た TFT 基板 S U B 1 の全面に、C V D 法を用いて S i N 膜からなる厚さ 400 nm の保護膜 P S V を成膜する。次いで、レジストを塗布した後、ホト法を用いてソース電極 S D 2 上に開口部を持つレジストパターン P R E S 1 を形成する。そして、そのレジストパターン P R E S 1 をマスクとして保護膜 P S V を開口し、コンタクトホール C N を開口する。この工程は図 1 で示した、ゲート端子 G T M 、ドレイン端子 D T M も加工し、ゲート端子では図 4 に示すように本工程で保護膜 P S V 、ゲート絶縁膜 G I の積層膜を開口する工程である。この開口は S F 6 、あるいは C F 4 を含むドライエッティングあるいは弗酸緩衝液のウエットエッティングを用いる。

【0051】次いで、図 9 に示すように、全面に、スピタ法を用いて、厚さ 140 nm の I T O あるいは I Z O からなる透明導電膜 I T O 1 を成膜する。次いで、ホトレジストパターン P R E S 1 を形成し、これをマスクとしてこの透明導電膜 I T O 1 を加工し、画素電極 P X を形成する。また、この工程で、図 1 、図 4 、図 5 の端子部分の上膜膜 I T O 1 を形成する。

【0052】このような製造工程を、従来の製造工程と比較すると、露光、現像を含むホト工程回数を 5 回から 4 回に低減でき、製造工程が簡略化され、工程中にさらされるゴミなどを起因する不良を低減でき、歩留まりが向上することが可能となる。また、TFT 構造的には、 $a-Si$ 膜と信号配線が連続的に成膜後、1 回のホト工程で加工されるので、従来 $a-Si$ 膜と信号配線やソース、ドレイン電極が別々にホトのアライメントで加工されていたパターンに比べて、パターン精度が向上する。したがって、開口率が高く、明るい液晶表示装置が実現できる。

【0053】《実施例 2》本発明の第 2 の実施例による逆スタガ型 TFT 液晶表示装置を、図 10 から図 13 を用いて説明する。図 10 は第 2 の実施例における 1 画素を表わす平面図、図 11 は図 10 の 11-11 切断線における断面図、図 12 、図 13 は図 11 の断面構造を 4 回のホト工程で形成する場合の第 2 、第 3 回目のホト工程に対応する製造工程を表わす断面図である。本実施例の TFT 液晶表示装置は、前記図 1 、図 2 の第 1 の実施例の装置とは、そのゲート端子、ドレイン端子、TFT 部、信号配線部では同様の構成をしているが、保持容量 C s t g 部の構成において異なっている。図 11 の断面構造で示すように、TFT の透明絶縁基板 S U B 1 上にゲート配線 G L 、ゲート絶縁膜 G I が形成されている点は同じであるが、この上部に $a-Si$ チャネル膜 A S が

40

50

部分的に形成され、その上部の保護膜PSVに開口されたスルーホールCNSを介して画素電極PXと同一工程、材料で構成された透明導電膜ITO1が接している構造となっている。従って、保持容量Cstgは上部電極を透明導電膜ITO1、下部電極をゲート配線GLとして、誘電体膜はゲート絶縁膜GIとi型a-Siチャネル膜ASとの積層膜構造となる。また、この保持容量Cstgの平面パターンは、後述する製造方法の制約もあり、図10に示すコンタクトホールCNSはi型a-Siチャネル膜ASより内側のパターンとなる。

【0054】次に、図12、図13で図11の断面構造に係わる製造方法を示す。但し、4ホトを用いて形成する製造工程の内、ゲート配線GLをパターン化する第1ホト工程、透明導電膜ITO1を用いて画素電極PXをパターン化する第4ホト工程は、概ね実施例1の図6、図9と同様であるため、これを省略する。

【0055】本実施例2の第2ホト工程の製造工程の断面図を図12に示す。TFTガラス基板SUB1上に、ゲート配線GLが形成され、その上部にCVD法でゲート絶縁膜GIとなるSiN膜、a-Siチャネル膜ASとなるi型a-Si膜、a-Siコンタクト膜d0となるn⁺型a-Si膜を連続的に成膜し、ホト工程を経ることなく、スパッタ法でソース、ドレイン電極SD1、SD2、ドレイン配線DLの金属膜d1成膜する(図12(a))。

【0056】次に、ホトレジストを塗布し、実施例1の図7(a)で示した、不透過領域、半透過領域、透過領域を有するホトマスクを用いて、露光、現像する。これにより、不透過膜マスク領域に対応する部分の厚いレジストPRES1、半透過膜マスク領域に対応する部分の薄いレジストPRES2が形成される。この際、本実施例2では、半透過マスクに対応した薄いレジストPRES2が次工程以降で保持容量Cstgを形成する部分に形成される点が実施例1と異なる(図12(b))。

【0057】次に、実施例1の図7同様、ソース、ドレイン電極SD1、SD2の金属膜d1の加工、a-Siコンタクト膜d0、a-Siチャネル膜ASの加工、ドライエッティングによる薄いレジストPRES2の除去、チャネル長L部分の金属膜d1のウエットエッティング、a-Siコンタクト膜d0のドライエッティング、a-Siチャネル膜ASのハーフエッティングを行う。これにより、保持容量Cstg部に形成された薄いレジストPRES2領域には、a-Si膜コンタクト膜d0を含まない、ハーフエッティングされたa-Siチャネル膜ASの領域が形成される(図12(c))。

【0058】次に、CVD法を用いて、SiNからなる保護膜PSVを成膜した後、所定のホトレジストPRES1をソース電極SD2の開口部、保持容量Cstgの開口部に対応させてパターン化する(図13(a))。

次に、弗酸緩衝液を用いて、保護膜PSVを開口し、

10 18 ソース電極SD2上にスルーホールCNS、保持容量Cstg部にスルーホールCNSを形成する。本実施例2では、上記スルーホール加工に、SF₆やCF₄を用いたドライエッティングは使用できない。これは、上記ガスのエッティング速度はa-Si膜ASも保護膜PSVのSiN同様速く、このためゲート配線GL上のゲート絶縁膜GIも削ってしまうためである。弗酸緩衝液ではほぼ100%のa-SiとSiNの選択エッティングが可能である。この弗酸緩衝液でゲート端子のゲート絶縁膜GI、保護膜PSVの積層膜をエッティング開口される。

【0059】以降の工程は実施例1の図9と同様に透明導電膜ITO1を成膜し、画素電極PXをパターン化する。

【0060】本実施例2の保持容量Cstgは実施例1が上部電極を画素電極PXと同一工程、同一材料で形成した透明電極ITO1、下部電極がゲート配線GLとして、誘電体としてはSiNのゲート絶縁膜GIとハーフエッティングされたa-Siチャネル膜ASの積層構造である。本構造は実施例1の誘電体としてSiNのゲート絶縁膜GIとSiNの保護膜SiNの積層構造に比べて、膜が薄く、さらにa-Si膜はその比誘電率が1.2とSiN膜の7より大きいので実施例1に比べて小さい面積でより大きな保持容量Cstgが形成できるので、図1の実施例1に比べて、図10の本実施例のゲート配線GL幅を狭くできるので、開口率が大きくでき、明るい液晶表示装置が実現できる。

【0061】a-Si膜を保持容量部に使用する構造は、特開平6-202153号公報に、下部配線上に、ゲート絶縁膜、その上部にi型a-Si膜、n⁺型a-Si膜、その上部にソース、ドレイン電極金属、前記電極金属上に保護膜を開口し、これを透明導電膜に接続した構造が開示されている。この構造を、発明者が作成した結果、TFTの充電時はi型a-Si膜には透明導電膜からソース、ドレイン電極と同一工程で形成した金属電極、n⁺型a-Si膜を介して電子が供給され、i型a-Si膜が導体化するので保持容量値が大きく、TFTがオフした保持期間では、逆にi型a-Si膜が誘電体として働き電子が放出され、結果として、保持期間に画素電位が低下し、これが表示の残像不良を発生させた。この残像効果は、i型a-Si膜が厚いほど大きくなつた。

【0062】本実施例は、上記従来技術に比べて、以下の効果で上記残像が低減され、良好な表示装置が実現できた。1つは、図11の保持容量Cstg部のa-Siチャネル膜ASは成膜後、ハーフエッティングで薄くなっている点、2点目は本構造の場合、a-Siコンタクト膜d0が除去されており、画素電極PXの透明導電膜ITO1からa-Si膜ASへの電子の注入効率は極めて低い(コンタクト抵抗が大きい)ので、本実施例構造ではa-Siチャネル膜ASは純粋に誘電体として働き、

19

残像の発生しない良好な液晶表示装置が実現できる。

【0063】《実施例3》本発明の第3の実施例による逆スタガ型TFT液晶表示装置を、図14から図15を用いて説明する。図14は第3の実施例における1画素に対応するTFTから透明電極ITO1を経て保持容量Cstgへ至る断面図を、図15は図14の断面構造を4回のホト工程で形成する場合の第3回目のホト工程に対応する製造工程を表わす断面図である。本実施例のTFT液晶表示装置は、前記図10、図11の第2の実施例の装置とは、そのゲート端子、ドレイン端子、TFT部、信号配線部では同様の構成をしているが、保持容量Cstg部の構成において異なっている。ただし、1画素の平面パターンは、概ね、第2の実施例の図10と同様であるためこれを省略した。

【0064】図14の断面構造で示すように、保持容量Cstg部において、TFTの透明絶縁基板SUB1上にゲート配線GL、ゲート絶縁膜GI、この上部にa-Siチャネル膜AS部分的にが形成されている点は、実施例2の図11と同じであるが、透明導電膜ITO1で構成された画素電極PXは、保護膜PSVに開口されたスルーホールCNSを介してゲート絶縁膜GIと直接接続される構造となっている。a-Siチャネル膜ASはその画素電極PXの側面に接するような構造となっている。平面構造は省略したが、これは、a-Siチャネル膜ASの島状のパターンの内側の保持容量のコンタクトホールCNSの部分のみのa-Siチャネル膜が除去されたパターンである。

【0065】次に、本実施例3の第3ホト工程の製造工
程の断面図を図15に示す。TFTガラス基板SUB1
上に、ゲート配線GLが形成され、その上部にCVD法
でゲート絶縁膜GIとなるSiN膜、a-Siチャネル
膜ASとなるi型a-Si膜、a-Siコンタクト膜d
Oとなるn⁺型a-Si膜を連続的に成膜し、ホト工程
を経ることなく、スパッタ法でソース、ドレイン電極S
D1、SD2、ドレイン配線DLの金属膜d1成膜さ
れ、ソース、ドレイン電極SD1、SD2がハーフトー
ン露光、現像方法で加工、保持容量Cstg部には、ハ
ーフエッチングされた島状のa-Siチャネル膜ASが
加工され、さらにCVD法でSiNの保護絶縁膜PS
Vが被覆されたガラス基板まで、2回のホト工程を経
て、加工が済んでいる。上記基板に、TFT部のソース
電極SD2の開口部CN、保持容量Cstg部の開口部
CNSに対応するホトレジストを塗布しレジストペー
ンPRESENを形成する。

【0066】次に、弗酸緩衝液を用いて、保護膜PSVを開口し、ソース電極SD2上にスルーホールCN、保持容量CStg部にスルーホールCNSを形成する。本実施例3では、まず、この工程では、上記スルーホール加工に、SF₆やCF₄を用いたドライエッティングは使用できない。これは、上記ガスのエッティング速度はa-

1

2

3

4

5

S_i膜A-Sも保護膜P-S-VのS_iN同様速く、このためゲート配線G-L上のゲート絶縁膜G-Iも削ってしまうためである。弗酸緩衝液ではほぼ100%のa-S_iとS_iNの選択エッチングが可能である。また、ソース電極S-D2の金属電極d1の保護絶縁膜P-S-Vに接する面が、Mo、Cr又はこれらの合金であれば、上記弗酸緩衝液がエッチングすることはない(図15(b))。

【0067】次に、上記ホトレジストPRES1が残った状態で、保持容量Cstg上のa-Siチャネル膜ASを開口部CNSでSiNで形成したゲート絶縁膜G1上で選択エッチングする。エッチングはSF6又はCF4にCl2又はHClのいわゆる塩素系ガスを添加するドライエッチングで行う。同ガスのエッチングでは、ソース電極SD2の金属膜d1の最表面がCrあるいはCrを含む金属であれば、このドライエッチングで、エッチング除去されることはない。MoあるいはMoを主成分とする金属の場合、上記スルーホール加工におけるドライエッチングの速度が保持容量Cstg部のa-Siチャネル膜ASより遅いので、a-Si膜ASをエッチング完了しても、ソース電極SD2の金属膜d1を完全に除去されることはなく、透明導電膜ITO1と良好なコンタクト特性が達成される。上記、エッチングの良好さは、同図15(a)の保持容量Cstgのa-Siチャネル部ASの厚さがハーフエッチングされて、TFT部の厚さ、すなわち、成膜時の厚さから薄くエッチングされていることも有効に作用している。すなわち、実施例1の製造方法を詳細に示したが、CVD法でのi型a-Si膜は概ね250nm成膜、ソース電極SD2の金属膜d1は概ね200nmであるが、実際に図15

(c) で保持容量C s t g の開口部C N S を通してエッチング対象となるa-Siチャネル膜A S はすでにハーフエッチングされており、その厚さは250 nmから100から150 nm以下に薄くなっている。この膜を選択エッチングしてもSD電極の金属膜d1を、MoあるいはMoを含む合金で用いても、エッチング除去されることはない。

【0068】一方、保持容量C_{stg}のコンタクトホールCNSの輪郭周辺で保護膜PSV下部のa-Siチャネル膜ASがエッチングされ、そのa-Si厚さが厚いと保護膜PSVにa-Si膜がサイドエッチングされ、後の工程で成膜される透明電極ITO1が断線される恐れがある。本実施例3の構造、製法ではa-Siチャネル膜がハーフエッチングされて、薄くなっている点と、CVD法のSiNの成膜温度に関して、保護膜PSVをゲート絶縁膜より低く設定してあるので、同じドライエッチングでのエッチング速度が保護膜PSVを大きく設定してあるので、画素電極PXの保持容量C_{stg}のスルーホールCNSで保護膜PSV、a-Si膜チャネル膜ASでのエッチング端面は良好で、画素電極PXの透明導電膜ITO1は断線することはなかった。

21

【0069】本実施例3は、以下の効果で上記残像が低減され、開口率が大きく明るい、表示装置が実現できた。保持容量C_{stg}は、上部電極は透明電極ITO1、下部電極をゲート配線GLとして、その誘電体としては、ゲート絶縁膜GIとして用いるコンタクトホールCNS領域の部分とその周辺で、誘電体として、ゲート絶縁膜GI、a-Siチャネル膜AS、保護膜PSVの3膜からなる領域の並列容量からなる。特に、コンタクトホールCNS部分は、ゲート絶縁膜GIのみで構成されているので、実施例1、実施例2に比べて、単位面積あたりの容量を大きくできるので、結果として下部のゲート配線GLの幅を狭くでき、開口率が向上し、明るい液晶表示装置が実現できる。また、a-Siチャネル膜ASへの画素電極PXからの電子注入も実施例2に比べても小さく、残像に対する性能も向上している。また、保護膜PSV、ゲート絶縁膜GIが仮に同一のSiN膜のような、材料であっても、ゲート絶縁膜GIのみを選択的に上部の保護膜PSVを除去しても選択的に残す製造方法も提供できた。

【0070】《実施例4》本発明の第4の実施例によるTFT液晶表示装置を、図16から図18を用いて説明する。図16は第3の実施例における1画素に対応する平面図、図17は図16の17-17切断線に対する断面図、図18は図17の断面構造を4回のホト工程で形成する場合の第3回目のホト工程に対応する製造工程を表わす断面図である。本実施例4のTFT液晶表示装置は、その構造において、以下の点で前記他の実施例とは異なっている。

【0071】図16の1画素の平面構造は、実施例1の図1、実施例2の図10と以下の2つの点で異なっている。第1は保持容量C_{stg}がゲート配線GLとは独立で、ゲート配線GLと同一工程、材料の金属膜g1で形成された保持容量配線CL上に形成されている点、第2は透明導電膜ITO1で構成された画素電極PXが信号配線DLと重疊され、信号配線DLを遮光電極として使用し、開口率を向上させている点である。

【0072】前述した高開口率を実現するための本発明特有の構造を図17の断面図で示す。図17はTFT部から画素電極PXを経て保持容量C_{stg}を形成する保持容量配線CLに至る断面図を示す。最大の特徴は透明導電膜ITO1の画素電極PXの下部の保護膜が実施例1で示したSiN膜で構成した第1の保護膜PSV1に加えて、有機系膜で構成された第2の保護膜PSV2の積層構造である点と、保持容量C_{stg}の上部電極の透明導電膜ITO1で構成された画素電極PXが第2の保護膜PSV2、第1の保護膜PSV1のスルーホールCNSを通じて、ゲート絶縁膜GIと接触する構造となり、単位面積あたりの保持容量C_{stg}値を向上させている点である。

【0073】上記、保持容量C_{stg}構造とここで導入

22

された有機系の第2の保護膜PSV2が、開口率が高く、明るい液晶表示装置実現する関係を説明する。図17の第2の保護絶縁膜PSV2は例えば厚さ2μmのアクリル樹脂を使用する。これは、実施例1あるいは2の第1のSiNの保護膜厚さ200から400nmに対して10倍近く厚く設定される。また、その比誘電率はおよそ3程度でSiNの7の半分である。このため、図16の画素の平面構造にあるように信号配線DL上で第1、第2の保護膜PSV1、PSV2を介して、画素電極PXを重疊させても、信号配線DLと画素電極PX間の寄生容量が小さく、その寄生容量起因の電圧変動ノイズが少なく、これが起因のクロストークは発生しない。上記のような低容量を実現する保護膜を使用する場合、実施例1の保持容量C_{stg}構造とした場合、保持容量C_{stg}を構成する誘電体はゲート絶縁膜GI、第1の保護膜PSV1、第2の保護膜PSV2の3膜構造により、その単位面積当たりの容量値が極めて小さくなり、液晶の保持率を確保するために保持容量線CLの幅を広くする必要があり、金属膜g1で構成された不透明領域幅が広がり逆に開口率が低下する。本実施例3では、保持容量C_{stg}の誘電体膜はおおむねゲート絶縁膜GIで構成されており、単位面積あたりの容量値が大きくなり、保持容量線の幅が狭く、開口率が高く、明るい液晶表示装置が実現できる。

【0074】一方、保護膜として、有機系膜を使用し、TFTの画素に保持容量線を配置、ゲート絶縁膜を保持容量の誘電体として使用する従来技術として、特開平9-90404号公報がある。これは保持容量配線上にTFTのソース電極を延在させ、これと有機系保護膜の開口部を通して画素電極を接続させている。この方法も単位面積あたりの容量値は向上させるが、前記ソース電極とa-Si半導体膜は別ホトで加工しているので、TFT基板で加工に少なくとも5回のホト工程以上が必要になり、本発明の他の目的であるホト回数を4回以下にして、歩留まりを上げコストを低減する目的は達成されない。

【0075】次に、本実施例4の製造方法を図18で示す。本断面図は4回のホト工程で形成する中の、第3ホト目に対応する。第1、第2及び第4ホト目の工程は、おおむね実施例2と同様であり、これを省略する。まず、第2ホト工程まで経たTFT基板SUB1を前提とする。ここで、保持容量配線CLのゲート絶縁膜GI上にハーフエッチングされたa-Siチャネル膜ASが島状にパターンニングされ、その上部にSiN膜を用いた第1の保護絶縁膜PSV1が成膜されている。

【0076】次に、第2の保護膜PSV2として例えばアクリルの感光性樹脂をスピンドル法により形成する。さらに、この樹脂に対してTFTのソース電極SD2及び保持容量C_{stg}の開口部とするパターで露光、現像する(図18(a))。したがって、この感光性樹脂

はパテーニングのホトレジストと第2の保護膜PSV2の役割を果たす。上記、第2の保護膜PSV2をマスクとして、実施例3同様、弗酸緩衝液を用いて、SiNの第1の保護膜PSV1(ゲート端子部ではゲート絶縁膜GIも含む)を保持容量Cstgのa-Siチャネル膜ASで、選択エッティングし、引き続き、a-Siチャネル膜ASをCF4又はSF6にHClやCl₂の塩素系を混入したガスで下部のSiNのゲート絶縁膜GI上で選択エッティングする(図18(c))。

【0077】次に、上記TFT基板SUB1を200°Cで加熱する。これにより、断面構造における角部が丸くなり、さらに開口部CN及びCNSの内側に延びる(図18(c))。この、熱工程、いわゆるリフロー処理により、2~3μmと厚い保護膜PSV2の段差形状がなだらかになり、続く第4ホト工程での透明導電膜ITO1の開口部での断線が防止できる。

【0078】以上のように、本実施例4の保持容量Cstg構造は、保持容量の主要部分を上部電極を有機系保護膜PSV2上から、SiN膜の第1の保護膜PSV1、前記有機系の第2保護膜PSV2の開口部CNSに延在した、透明導電膜ITO1の画素電極PX、下部電極はゲート配線GLと同一工程、材料で構成された保持容量CLの金属電極g1、誘電体としてゲート絶縁膜GI、他の誘電体膜として、ゲート絶縁膜GI、a-Siチャネル膜AS、第1の保護膜PSV1、第2の保護膜PSV2の積層膜の構成であり、これを4回のホト工程を経て、歩留まり良く製造される。

【0079】上記の保持容量Cstg部のa-Siチャネル膜の保護膜PSV1、PSV2の開口部CNSをマスクして、エッティングする場合、上記有機材料の熱処理工程後に行っても良い。

【0080】《実施例5》次に、本発明の実施例5を図19から図21で示す。図19は1画素の平面パターンを、図20及び図21は図19の20-20切断線及び21-21切断線に沿った断面図である。本発明の実施例5は、広い視野角特性を実現するインプレーンスイッチング(IPS)表示モードの画素構造に関するものである。

【0081】1画素のレイアウトは、図19に示すように、画素電極PXと対向(コモン)電極CXが歯状に配列される。従って、その表示の制御は、図20の断面構成で示すように、画素電極PXからコモン電極CTへ液晶LC中にかかる横方向電界で行う。歯状電極の間隔部分の透過光がこの電界で制御される。

【0082】1画素の平面構成は、実施例1から4までのカラー・フィルタ基板SUB2にコモン電極を有する表示モード同様、直行するゲート配線GL、ドレン配線DLの設置されたTFT、画素電極PXはTFTのソース電極SD2に保護膜にあけられたスルーホールを介して接続され、透明導電膜ITO1で形成されている。

コモン電極配線CTは、実施例4の保持容量配線同様、ゲート配線GLとは独立に、ゲート配線GLと同一工程、材料の金属膜g1で構成され、画素内では歯状に枝別れし、画素電極PXに対向するコモン電極CXに至っている。対向電極配線CTは、実施例4の保持容量配線CL同様、保持容量を構成する配線としても働き、画素電極PXの透明導電膜膜を上部電極とする保持容量Cstgを構成する。

【0083】図20に信号配線DLと歯状の画素電極PXおよびコモン電極CXの断面図を示す。ドレン配線DLはゲート絶縁膜GI上で、下部よりa-Siチャネル膜AS、a-Siコンタクト膜d0、Mo、Crのような金属膜d1が階段状の断面形状である。特に、i型a-Si膜で形成されたa-Siチャネル膜ASはドレン配線の金属膜d1より幅広であり、誘電体としてコモン電極CXとの配線負荷容量を低減させる効果があり、大型、高精細のTFT液晶を実現できる。さらに、階段状の断面を持つa-Siチャネル膜AS、a-Siコンタクト膜d0、金属膜d1は、実施例1の製造方法と同様に、CVD法、スパッタ法で連続的に成膜され、1回のホト工程で加工されるので、従来の製造方法で見られるように、a-Si膜AS及びd0と金属電極d1を2回のホト工程に分けて加工した場合に比べ、a-Si膜と金属電極のホトの合わせずれの影響がなく、負荷容量が減った状態で、微細加工が可能になり、結果的に開口率が高く、明るい液晶表示装置が実現できる。

【0084】図21はTFTから画素電極PXを経由してコモン電極配線CTの保持容量Cstg部に至る断面を示す。基本的構造は、実施例2の図11の断面構造と同様であり、図11の表示装置が隣りあうゲート配線GL上に画素電極PXと保持容量Cstg構成するのに對し、本実施例5のIPS型液晶表示装置では、画素電極PXと対向電極配線CTの間で構成している。保持容量Cstgの誘電体はSiNで構成されたゲート絶縁膜GIとハーフエッティングされたa-Siチャネル膜ASの積層構造を有する。これにより単位面積当たりの保持容量値を大きくできる。これにより、IPS表示装置においても金属配線で構成されたコモン電極配線CTの幅を細くでき、開口率が高く、明るいIPS型液晶表示装置が実現できる。

【0085】なお、本実施例5においては、保持容量Cstgの誘電体膜としてゲート絶縁膜GIとハーフエッティングされたASの積層配線を用いたが、これは本実施例1、本実施例3の液晶表示装置同様に、保持容量Cstgを構成する誘電体膜として、ゲート絶縁膜GIと保護絶縁膜PSVの積層膜、保護絶縁膜PSVの開口部の周辺にハーフエッティングされたa-Siチャネル膜ASを配置したゲート絶縁膜GIをそれぞれ誘電体として用いた構造に適用できることは言うまでもない。

【0086】《実施例6》次に、本発明の実施例6を図

25

22から図24で示す。図22は1画素の平面パターンを、図23及び図24は図22の23-23切断線及び24-24切断線に沿った断面図である。本発明の実施例6は、実施例5同様IPS表示モードの画素構造に関するものである。

【0087】1画素のレイアウトは、図22に示すように、画素電極PXとコモン電極CXがくし歯電極形状をなす。従って、その表示の制御は、図20の断面構成で示すように、画素電極PXからコモン電極CXへ液晶LC中にかかる横方向電界で行う。画素電極PXはTFTのソース電極SD2自身が画素領域に延在し櫛歯電極を構成する。コモン電極配線CTは、実施例5同様、ゲート配線GLとは独立に、ゲート配線GLと同一工程、材料の金属膜g1で構成され、画素内では櫛歯状に枝別れし、画素電極PXに対向するコモン電極CXに至っている。

【0088】保持容量Cstgは実施例5と異なり、一方の電極を画素電極PX、他方の電極をコモン電極配線CXにスルーホール CNCを介して接続された透明導電膜ITO1として構成される。実施例4の保持容量配線CL同様、保持容量を構成する配線としても働き、画素電極PXの透明導電膜膜を上部電極とする構造である。

【0089】図23に信号配線DLと櫛歯状の画素電極PXおよびコモン電極CXの断面図を示す。ドレイン配線DL、画素電極PXは共にはゲート絶縁膜GI上で、下部よりa-Siチャネル膜AS、a-Siコンタクト膜d0、Mo、Crのような金属膜d1が階段状の断面形状である。特に、i型a-Si膜で形成されたa-Siチャネル膜ASは画素電極PXの金属膜d1より幅広であり、誘電体として画素電極CXとゲート配線GL間の寄生容量を低減させる効果があり、大型、高精細のTFT液晶で表示誤動作を少なくできる。さらに、階段状の断面を持つa-Siチャネル膜AS、a-Siコンタクト膜d0、金属膜d1は、従来の製造方法で見られるように、a-Si膜AS及びd0と金属電極d1を2回のホト工程に分けて加工した場合に比べ、a-Si膜と金属電極のホトの合わせずれの影響がなく加工され、負荷容量、画素容量が減った状態で、微細加工が可能になり、結果的に開口率が高く、明るい液晶表示装置が実現できる。

【0090】図24はTFTから画素電極PXを経由してコモン電極配線CTの保持容量Cstg部に至る断面を示す。画素電極PXは信号配線DLと同一工程、材料で構成された、a-Siチャネル膜AS、a-Siコンタクト膜d0、金属膜d1の積層構造で、コモン電極配線CT方向へ延び、コモン電極配線CTとは重疊されない。

【0091】保持容量Cstgは下部電極は前記ソース電極SD2から延在された金属膜d1を下部電極と

26

し、上部電極は、コモン電極配線CTとゲート絶縁膜GI、SiN膜で構成された保護膜PSVの積層膜に開口されたスルーホールCNCを介して接続された透明導電膜ITO1の構成である。保持容量Cstgの誘電体は厚さ200から600nmのSiN膜からなる保護膜PSVである。

【0092】本実施例6のIPS表示装置では、画素電極PXがa-Siチャネル膜ASを積層した構成となっているが、コモン電極配線CTとは交差していないので、保持状態におけるa-Si膜容量変化による残像現象は発生しない。さらに、実施例5では図20に示すように、保護膜PSV上で櫛歯状の画素電極PXが加工、配置されているのに対し、本実施例では図23では画素電極PX全面にCVD法で成膜したSiN膜の保護膜PSVが形成されているので、その段差がゆるやかであり、液晶LC分子の初期配向形成のラビング処理での影が発生しにくく、コントラストの高いIPS型の液晶表示装置が実現できる。

【0093】
20 【発明の効果】以上のように本発明によれば、逆スタガ構造でチャネルエッチ型のTFTを構成するa-Si膜、ソース電極、ドレイン配線をの金属膜を1回のホト工程で処理することができる。具体的には、従来技術では5回のホト工程が必要であったが、4回のホト工程でTFT基板を製造することができ、歩留まりを向上し、コストを低減できる。

【0094】さらに、上記ホト工程が4回の製造方法を用いて、TFT液晶表示装置のドレイン配線をゲート絶縁膜上でi型a-Si、n⁺型a-Si、金属膜の3膜構造となり、下部より階段上の段差構造、IPS型液晶表示装置では画素電極を上記構造とすることで、微細加工が可能になり、開口率が高く、明るい液晶表示装置が提供できる。寄生容量も低減できる。

【0095】また、保持容量の誘電体をゲート絶縁膜、ゲート絶縁膜とi型a-Si膜の積層構造、あるいは保護絶縁膜とできるので単位面積あたりの容量値を上げることができ、ゲート配線、保持容量配線、あるいはコモン電極配線の幅を狭くできるので、開口率が高く、明るい液晶表示装置が提供できる。

40 【図面の簡単な説明】
【図1】本発明の第1の実施例による液晶表示装置のTFT基板の平面図である。

【図2】図1の2-2線断面図である。
【図3】本発明の第1の実施例によるドレイン配線周辺のTFT液晶表示装置の断面図である。

【図4】図1の4-4線断面図である。
【図5】図1の5-5線断面図である。
【図6】本発明の第1の実施例によるTFT基板の製造方法の第1ホト工程を示す断面図である。

50 【図7】本発明の第1の実施例によるTFT基板の製造

27

方法の第2ホト工程を示す断面図である。

【図8】本発明の第1の実施例によるTFT基板の製造方法の第3ホト工程を示す断面図である。

【図9】本発明の第1の実施例によるTFT基板の製造方法の第4ホト工程を示す断面図である。

【図10】本発明の第2の実施例による液晶表示装置のTFT基板の平面図である。

【図11】図10の11-11線断面図である。

【図12】本発明の第2の実施例によるTFT基板の製造方法の第2ホト工程を示す断面図である。

【図13】本発明の第2の実施例によるTFT基板の製造方法の第3ホト工程を示す断面図である。

【図14】本発明の第3の実施例によるTFT基板の1画素のTFT部、画素電極部、保持容量部を示す断面図である。

【図15】本発明の第3の実施例によるTFT基板の製造方法の第3ホト工程を示す断面図である。

【図16】本発明の第4の実施例によるTFT基板の平面図である。

【図17】図16の17-17切断線の断面図である。

【図18】本発明の第4の実施例によるTFT基板の製造方法の第3ホト工程を示す断面図である。

【図19】本発明の第5の実施例によるIPS型液晶表示装置におけるTFT基板の平面図である。

【図20】本発明の第5の実施例による液晶表示装置の

28

ドレイン配線間に挟まれた画素領域を示す、図19の20-20線に沿った断面図である。

【図21】図19の21-21線に沿った断面図である。

【図22】本発明の第6の実施例によるIPS型液晶表示装置におけるTFT基板の平面図である。

【図23】本発明の第6の実施例による液晶表示装置のドレイン配線間に挟まれた画素領域を示す、図22の23-23線に沿った断面図である。

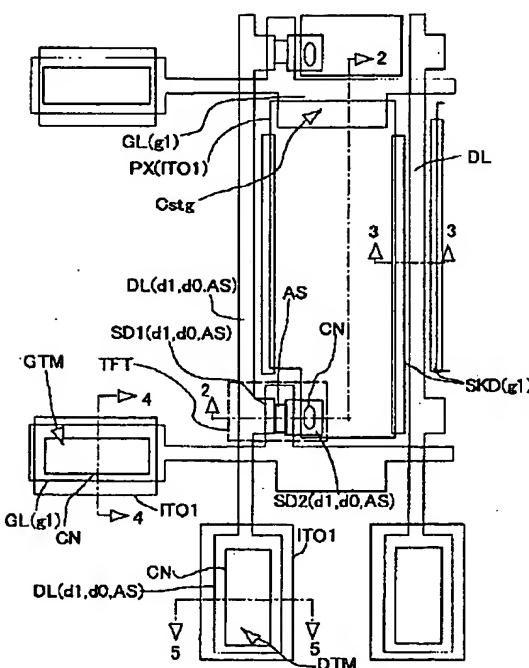
【図24】図22の24-24線に沿った断面図である。

【符号の説明】

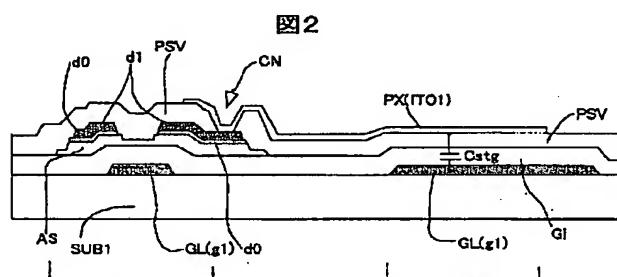
SUB1…TFT透明絶縁基板、SUB2…カラーフィルタ透明絶縁基板MASUB…ホトマスク基板、GL…ゲート配線、DL…ドレイン配線、CL…保持容量配線、CT…コモン電極配線、TFT…薄膜トランジスタ、SD1…ドレイン電極、SD2…ソース電極、PX…画素電極、Cstg…保持容量、GTM…ゲート端子、DTM…ドレイン端子、g1…ゲート配線、保持容量配線を構成する金属膜、d1…ドレイン配線、ソース電極を構成する金属膜、ITO1…透明導電膜、GI…ゲート絶縁膜、AS…a-Siチャネル膜(i型a-Si膜)、d0…a-Siコンタクト膜(n+型a-Si膜)、PSV…保護膜、PRE…ホトレジスト。

【図1】

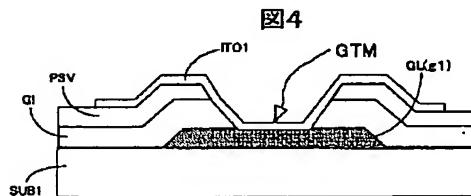
図1



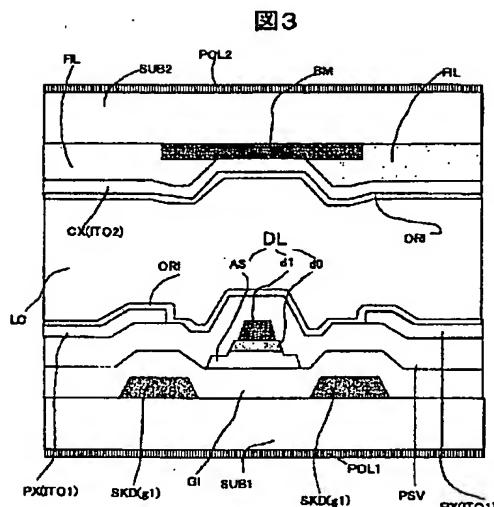
【図2】



【図4】

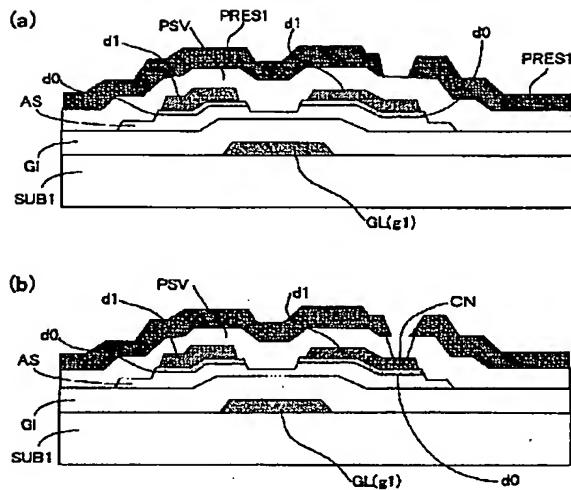


【図3】



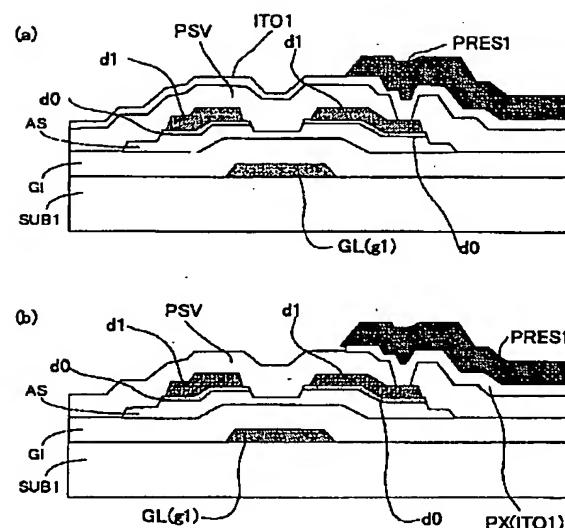
【図8】

図8



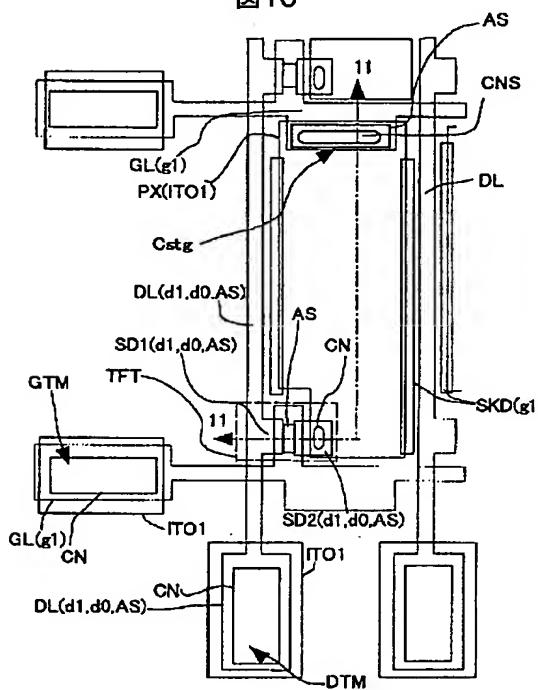
【図9】

図9

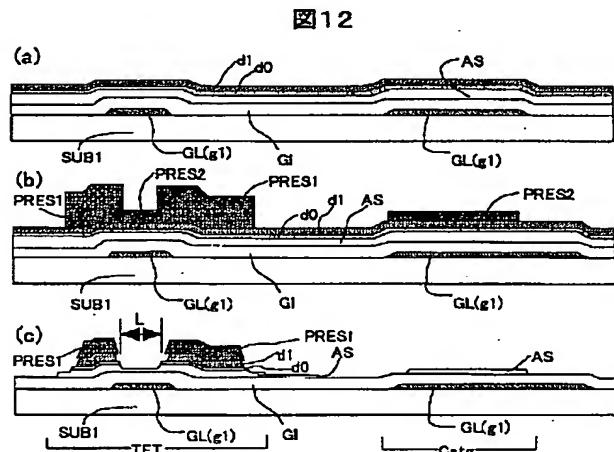


【図10】

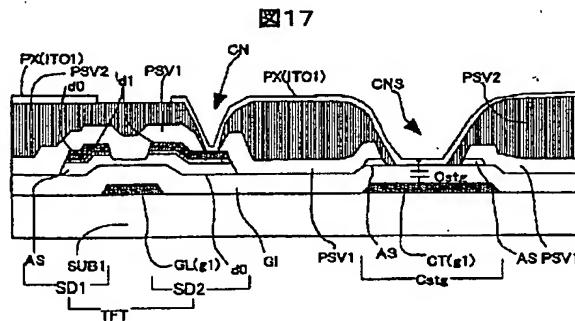
図10



【図12】

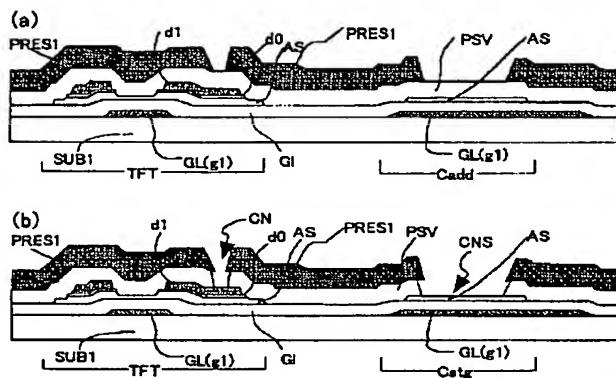


【図17】



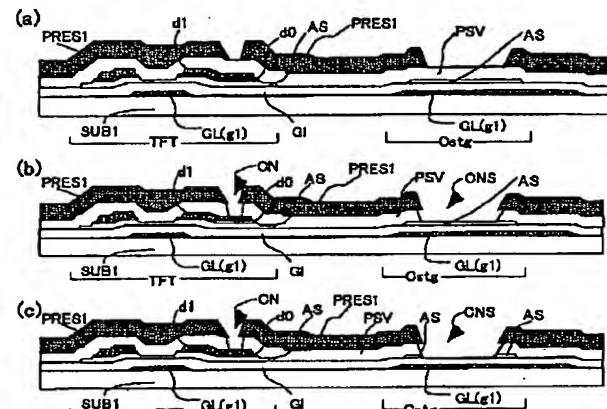
【図13】

図13



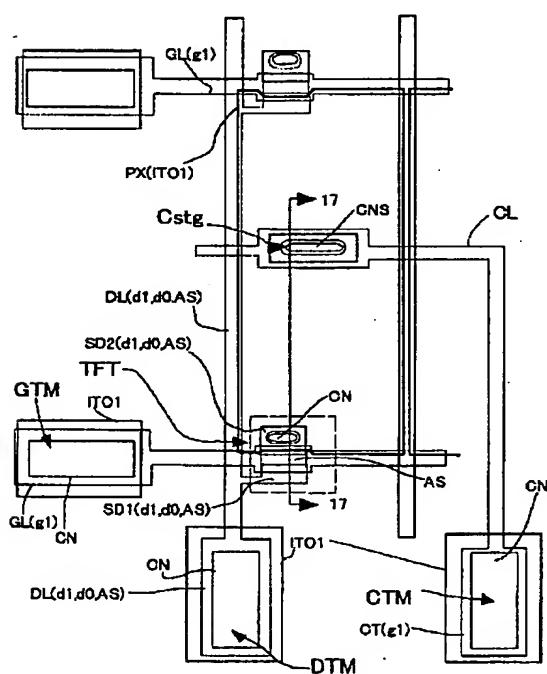
【図15】

図15



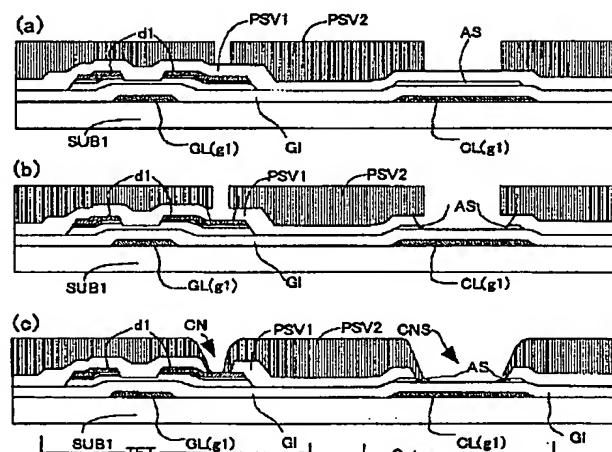
【図16】

図16



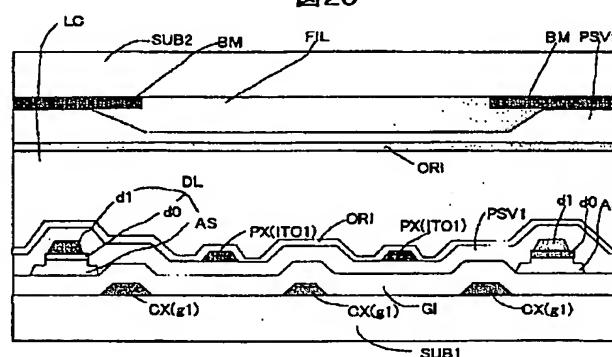
【図18】

図18



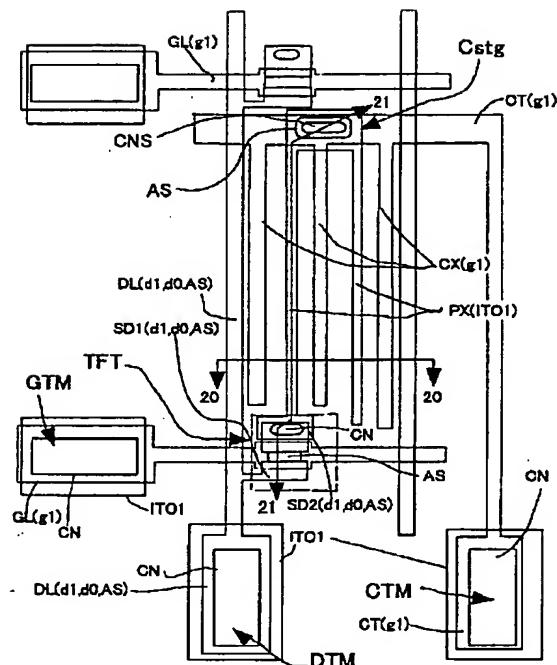
【図20】

図20



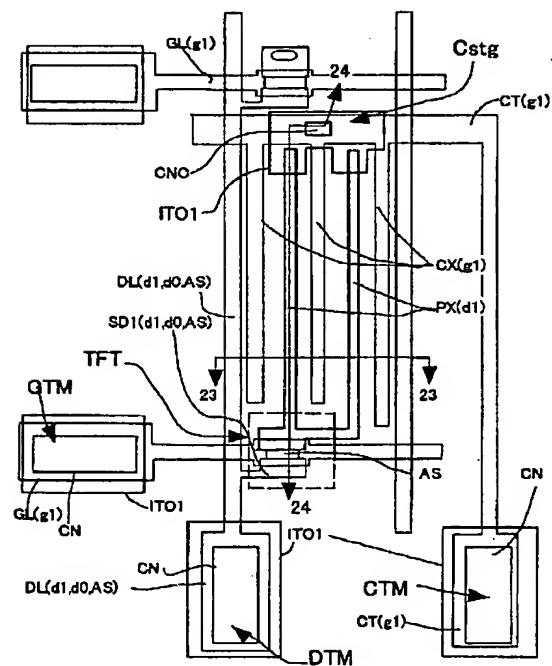
【図19】

図19



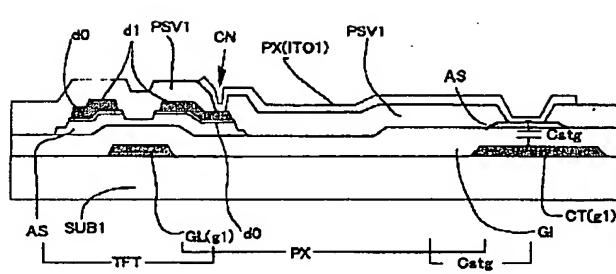
【図22】

図22



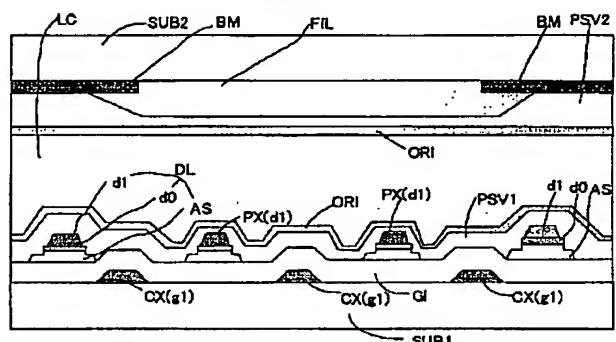
【図21】

図21



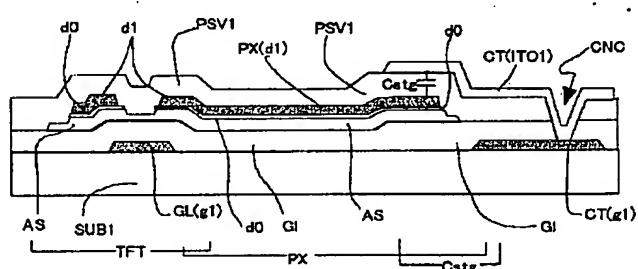
【図23】

図23



【図24】

図24



フロントページの続き

(51) Int. Cl. ⁷

識別記号

F I
H 0 1 L 29/78テマコード(参考)
6 1 9 A
6 2 7 B

(72)発明者 桶 隆太郎

千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

(72)発明者 金子 寿輝

千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

F ターム(参考) 2H092 GA14 JA26 JA29 JA38 JA42
 JB13 JB23 JB32 JB38 JB51
 JB57 JB63 JB69 KA05 KA07
 KA16 KA18 KB14 MA05 MA08
 MA14 MA15 MA16 MA18 MA19
 MA20 MA22 MA27 MA35 MA37
 MA41 NA07 NA25 NA27 NA29
 PA06 QA07 QA18
 5C094 AA05 AA10 AA13 AA43 AA44
 AA53 BA03 BA43 CA19 CA24
 DA13 DB01 DB04 EA04 EA05
 EA10 EB02 ED02 FA01 FA02
 FB12 FB14 FB15 GB10
 5F004 AA05 AA12 DA01 DA04 DA18
 DA26 DA29 DB01 DB03 DB08
 DB30 EA03 EA10 EA33 EB01
 EB02
 5F110 AA16 AA26 BB01 CC07 DD02
 EE03 EE04 EE06 EE14 EE44
 FF01 FF02 FF03 FF09 FF28
 FF29 FF30 GG02 GG13 GG15
 GG24 GG35 GG44 GG45 HK03
 HK04 HK05 HK06 HK09 HK16
 HK21 HK25 HK33 HK34 HK35
 HK39 HL07 HL23 NN02 NN04
 NN24 NN27 NN35 NN36 NN41
 NN72 NN73 QQ01 QQ03 QQ09